

低功耗展頻時脈之設計

Low-Power 6-Gbit/s Spread Spectrum Clock Generator

組員：張勵揚

指導老師：黃弘一 老師

執行期間：104 年 7 月至 105 年 6 月

1. 摘要

本專題目標是設計出具製程補償之低功耗展頻時脈產生器，使用三角波透過 2 階 sigma-delta 調變的方式，達到良好的 EMI 抑制效果，同時對 VCO，高速類比除頻器以及展頻時脈所需要之多除數除頻器進行改良，以降低功耗同時可以滿足 SATA III 規格的設計

關鍵字：低功耗、展頻時脈、鎖相迴路、2 階 sigma-delta、製程補償

2. 簡介

電子設備不斷進步，晶片製程不斷提升的時代下，我們挑戰設計更低功耗，更高頻率的設計架構，然而頻率的提高會使得電磁波的干擾趨於嚴重，因此展頻的技術隨之誕生。近年來因為提昌環保的概念，因此我們不在一味只追求高頻的設計，低功耗節省面積也成為我們努力的方向之一。

隨著時代快速進步，超大型積體電路(VLSI)系統速度與效能的需求亦隨之增加，高速運算技術逐一實現。鎖相迴路(Phase Locked Loops, PLL)已被廣泛地應用在微處理器(Microprocessors)、記憶體介面(Memory Interfaces)，做時脈產生器之用。一個基本的鎖相迴路包含：相位頻率偵測器(PFD, Phase Frequency Detector)、充放電幫浦(CP, Charge

Pump)、低通濾波器(LPF, Low Pass Filter)、電壓控制振盪器(VCO, Voltage Controlled Oscillator)以及除頻器(FD, Frequency Divider)。

然而在現今系統中，時脈的需求已經發展到達微波頻段，隨著電子商品的快速發展，設計者必須將電路操作頻率不斷的提升來滿足效能需求。然而利用鎖相迴路實現的時脈產生器只能產生固定頻率之輸出時脈，且在高速且特定的頻率下，EMI 的問題日益嚴重，展頻時脈的技術就是為了解決此問題。

展頻技術是時脈產生器最常用來抑制 EMI 的技巧之一，其擴展頻譜方法是對時脈信號的頻率進行調變，將信號能量擴展到一個比較寬的頻率範圍上。常見的展頻調變波形，共分為以下 4 種：弦波調變、三角波調變、洋蔥波調變、亂數波調變。

3. 專題進行方式

本專題主要是利用 Hspice 這個模擬軟體來模擬電路，同時透過 waveview 這款軟體來觀察訊號，此專題為一人獨立完成並會與實驗室學長與同學們討論，並在每周的 meeting 與老師討論進度，時間允許的話，會完成下線晶片所有程序，最終完成 PCB 板將晶片進行量測，完成整個 IC 設計的程序。

4. 主要成果與評估

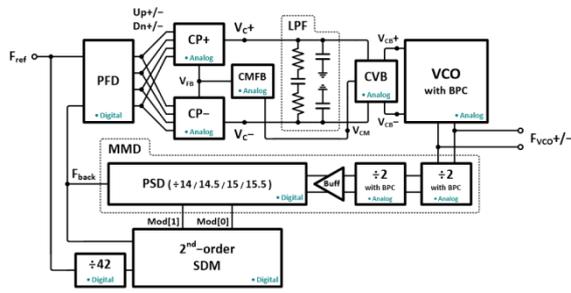
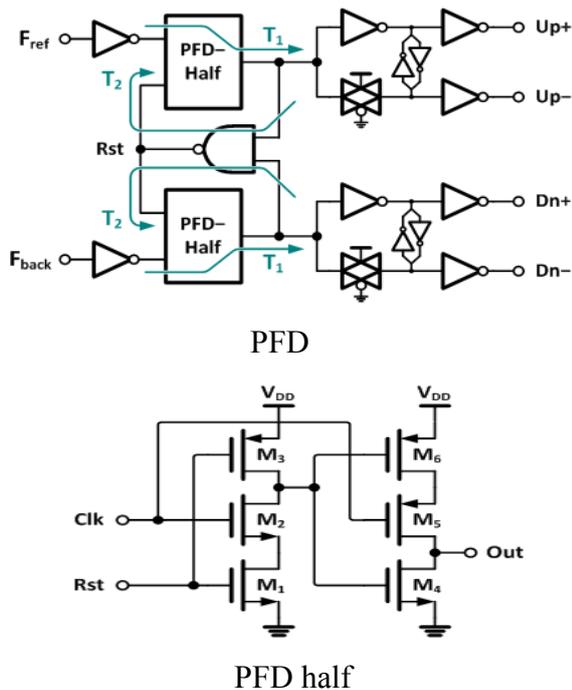


圖 4-1 整體電路架構

圖 4-1 為此次專題所使用之電路整體架構圖，展頻時脈產生器主要由一個 PLL 及 SDM 調變器所組成。而 PLL 的子電路前面有大致提過了，接著介紹本專題所使用之子電路。

首先介紹 PFD，PFD 在鎖相迴路的作用是透過比較回授與參考訊號的相位差與頻率差來輸出電荷幫浦充放電所需要的脈波訊號。透過下圖我們可以看出 PFD 半電路是採用半穿透式的暫存器屬於動態電路，因此操作速度較快，同時在晶片上的面積也可以減小，在 PFD 輸出端接上一組 latch 以確保輸出差動訊號能對齊將訊號精準送至下一級電荷幫浦進行充放電。



PFD

PFD half

本專題的電荷幫浦如圖 4-2 與低通濾波器，電路採用全差動的架構，利用疊接組態, dummy 元件的使用以及對稱性的架構，降低了 charge sharing, clock feedthrough, channel length modulation 之非理想效應的影響，同時透過回授機制(4-3)去鎖定共模準位以減少電流的 mismatch，降低雜訊對控制訊號的影響，期望能因此降低鎖相迴路的 jitter。

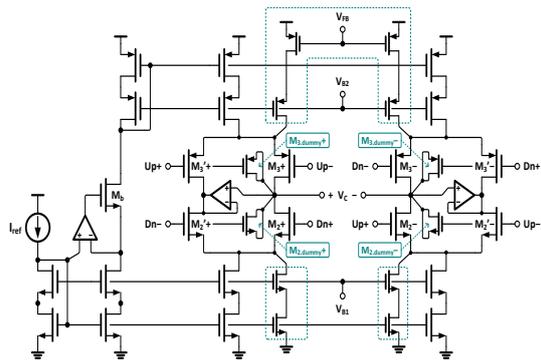


圖 4-2

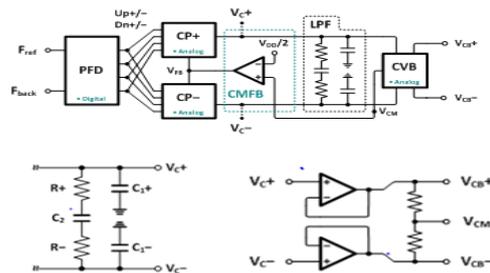


圖 4-3

接著是本專題之重點 BPC 補償電路如圖 4-4 M₁ 與 M_{r1} 是閘極偏壓 PMOS；而 M₂ 與 M_{r2} 是二極體接法 PMOS。為了避免製程的變異及誤差我們希望負載的直流阻抗與交流阻抗能被鎖定，因此必須同時對閘極偏壓 PMOS (M_{r1}) 與二極體接法 PMOS (M_{r2}) 進行迴授鎖定。因二極體接法 PMOS 的汲極、閘極、源極都沒有辦法做為控制端；但不同的是，PMOS 的基極是可以做為輸入端的。因此，利用一組複製偏壓電路去對負載進行製程補償。在複製偏壓電路中，將負載上的電流控制為 I_T/2，

並利用 $M_{R1,2}$ 的基極產生負迴授，將 $M_{R1,2}$ 的汲極電壓鎖在 V_{ODL} (ODL: Output DC-level)，使 $M_{R1,2}$ 的跨壓在所有 corner 都被鎖在 V_{DC} 。最後再將 M_{R1} 的基極接至 M_1 的基極，使原本的 NSL(M_1 與 M_2)與複製電路的負載(M_{R1} 與 M_{R2})操作在完全相同的偏壓下，同時對負載的直流阻抗(閘極偏壓 PMOS)與交流阻抗(二極體接法 PMOS)進行迴授鎖定，以抵抗製程上的誤差。

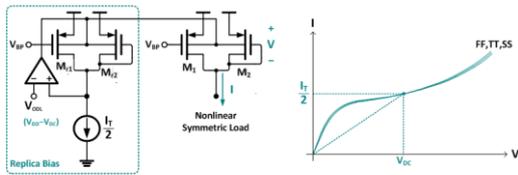


圖 4-4

鎖相迴路中的壓控振盪器，將採用全差動架構以降低相位雜訊對迴路的影響，同負載採用 NSL 架構以分別決定電路之直流與交流阻抗，配合製程補償方案，利用特殊的複製偏壓電路，將其輸出直流準位與交流阻抗鎖在定值，以達到高頻低功耗的目標，並可對製程免疫。(圖 4-5)。

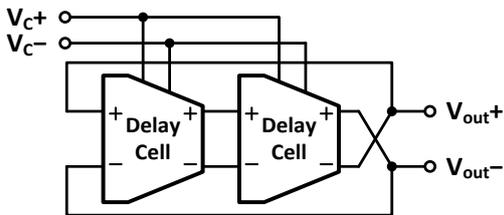


圖 4-5(a)延遲元件

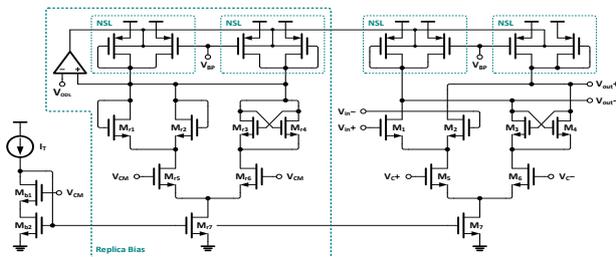


圖 4-6(b)延遲元件使用 bpc 電路

介紹完壓控振盪器，接著是高速類比除頻器，VCO 的輸出訊號必須經過除頻器迴

授給 PFD 去比較訊號之相位與頻率，然而一般的數位電路無法在 6GHz 的頻率之下操作，因此使用了 CML latch 架構去進行除頻(以下簡稱為 prescalar)，下圖是 prescalar 的架構圖，架構與 VCO 相近，只是操作原理略微不同，當 $clk+$ 為正時 $vout$ 對 vin 取值 $clk+$ 為負時透過 latch 不改變訊號，因此將 2 個 latch 串再一起即可進行除 2 動作。

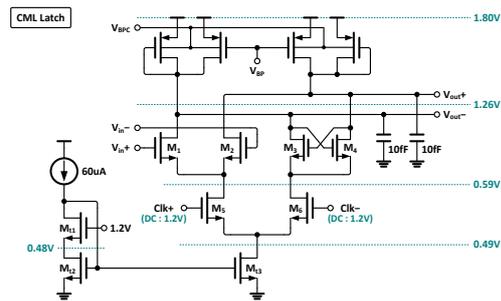


圖 4-7 CML latch

先前研究指出，此種架構的 prescalar 可以透過自振頻率的設計讓前一級的輸入訊號可以在擺幅很小的情況之下，就可以正確的除頻，換言之降低電路的功耗。

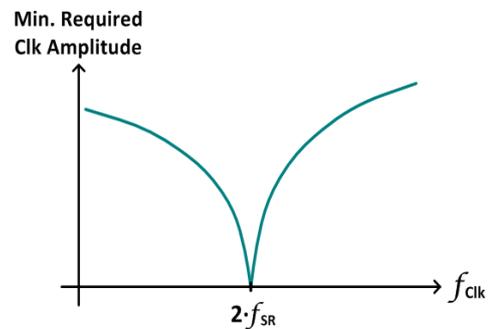


圖 4-8 自振頻率與輸入擺幅關係圖

然而以上是有存在假設的設計，首先輸入訊號的 dc 準位必須固定，同時除頻器的自振頻率必須固定那假設才會立。而幸運的是，透過 bpc 補償電路技巧所有問題迎刃而解，我們也將除頻器使用 bpc 補償技術，這就代表著除頻的自振頻率可以被鎖定，同時 VCO 的輸出準位也會被鎖定，以達到除頻器的最佳化設計。

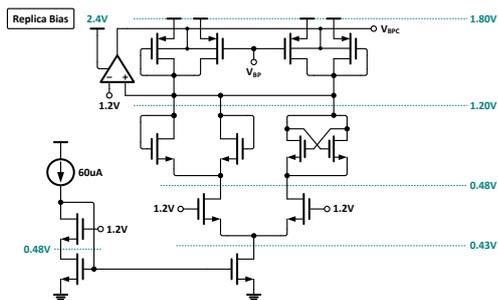


圖 4-9 除頻器補償電路

至此 PLL 相關子電路以介紹完畢，接著介紹展頻調變的部分，展頻時脈需要一組多除數除頻器，以往的多除數除頻器因有除數斷層的問題，無法滿足 SATAIII 的規格，因此本專題將使用新式相位切換除頻器以解決除數斷層的問題下圖是單級相位切換除頻器的架構。

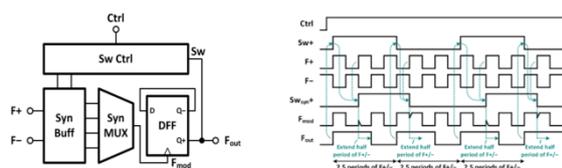


圖 4-10 單級相位除頻器與操作概念

單級的相位切換除頻器由同步多功器，同步緩衝器，切換控制電路與一組 dff 所組成。操作原理如下透過同步多功器，同步緩衝器將輸入訊號的相位進行切齊的動作，再透過圖上的 ctrl 訊號來決定訊號的相位是否要進行切換的動作，若 ctrl 訊號為 1 時，訊號會進行切換此時電路是進行除 2.5 的浮點運算，ctrl 為 0 的時候電路是進行除 2 的運算，因此透過 ctrl 訊號的選擇可以自由選擇所需要的除數。

接著介紹展頻多級相位切換除頻器

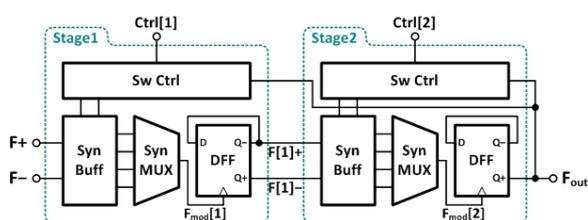


圖 4-11 2 級相位切換除頻器

為了完成 2 階 sigma-delta modulation 除數至少為 4 組因此必須使用多級 PSD 來達到更多的除數組合先簡易介紹 2 級 PSD，2 級 PSD 是由 2 個單級 PSD 所組成，第一級操作原理如前面主要介紹第 2 級，第 2 級的輸入訊號是先經過第一級除 2 或 2.5 因此第 2 級 ctrl 為 1 的時候訊號是延後一個週期，而不是半個週期。將不同的 ctrl 訊號與除數整理為如下圖的真值表。

Ctrl[1]	Ctrl[2]	Formula	Modulus
0	0	2^*2	4
1	0	$2^*2+0.5$	4.5
0	1	2^*2+1	5
1	1	$2^*2+0.5+1$	5.5

圖 4-12 真值表

最後介紹本專題所使用之相位切換除頻器，首先介紹 3 級相位切換除頻器。

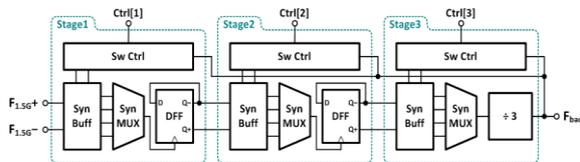


圖 4-13 3 級相位切換除頻器

結合以上真值表與 PSD 的操作原理我們可以將它公式化 $modulus = 2 \times 2 \times 3 + 0.5 \times Ctrl[1] + 1 \times Ctrl[2] + 2 \times Ctrl[3]$ 透過公式可以整理成下面的真值表

Mod[0]	Mod[1]	V ₀₀	Formula	Modulus
0	0	0	2^*2^*3	12
1	0	0	$2^*2^*3+0.5$	12.5
0	1	0	2^*2^*3+1	13
1	1	0	$2^*2^*3+0.5+1$	13.5
0	0	1	2^*2^*3+2	14
1	0	1	$2^*2^*3+0.5+2$	14.5
0	1	1	2^*2^*3+1+2	15
1	1	1	$2^*2^*3+0.5+1+2$	15.5

圖 4-14 真值表

根據 SATA 的規格以及本專題擬採用 2 階 sigma-delta 調變的方式因此使用了 4 組除數 56/58/60/62，我們發現與 2 級 PSD 相比，除數的解析度變高了從原本的 1 提

升到了 0.5，同時。使用 3 級的 PSD 可以完成 SATA 所需要之規格，將 6G 訊號向下展頻至 5.97G 使之具有更好的展頻效果。

透過剛才的真值表可以發現除數其實是由基礎除數與相位切換所產生的”浮點數”來決定因此我們可以將兩點分開思考，先設計基礎除數再去考慮浮點數的運算，因此我們可以將基礎除數 14 使用因式分解去觀察所有基礎除數的可能性，最後發現只有 2 乘 7 這個可能性，代表 PSD 需要使用 2 級，接著根據第一級提供 0.5 的除數與第 2 級提供 1 的除數去做排列組合發現與 3 級的除數一樣因此將電路簡化成 2 級，進而減少元件數目及功耗。

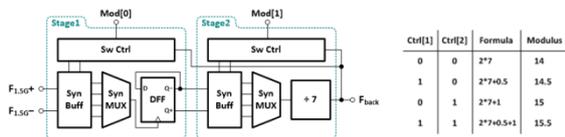


圖 4-15 簡化之相位切換除頻器

最後介紹展頻時脈產生器最後一個子電路，sigma-delta modulator, 原則上都是由一組累加器與控制電路所組成，當累加器不斷累加，超過累加器的上限時，會產生出溢位訊號，透過控制溢位訊號發生的頻率便可以使 sigma-delta modulator 對數位訊號進行調變。

在鎖相迴路的展頻操作中，SDM 的主要功能是控制 MMD 的除數，以內插的方式，讓 MMD 的除數在兩個數之間規律的變化。以 SATA 的規格為例，其 MMD 需在 59.7~60 之間來回變化。這邊舉個例子假如有個除頻器可以進行除 2 及除 3，以 8 個週期為一組做內插法若其中 N 個週期除 2 則代表平均除數為他們的加權平均如下

$$\text{modulus} = [N \times 2 + (8 - N) \times 3] / 8 = 3 - N/8$$

接著以一階 sigma-delta 電路來解釋展頻時脈電路的操作，下圖是一階 sigma-delta 電路，我們可以發現當 MMD

的除數為 58 及 60 的時候，SDM 電路就會對 58 與 60 在 256 個周期內進行內插，並且透過 up/down counter 去改變不同的累加數，進而去改變 MMD 的平均除數，使得除數可以在 59.7~60 之間來回變化。透過珍值表可以發現當累加數=0 時除數為 60 累加數為 38 的時候除數為 59.7，透過真值表與公式也可以得知 MMD 的除數變化方式。

$$\text{Modulus} = \frac{n \times 58 + (2^8 - n) \times 60}{2^8} = 60 - \frac{n}{128}$$

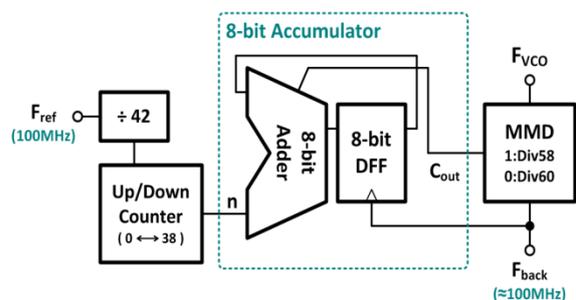


圖 4-16 一階 sigma-delta 電路

n	Avg.Modulus	n	Avg.Modulus
0	60.0000000	⋮	⋮
1	59.9921875	35	59.7265625
2	59.9843750	36	59.7187500
3	59.9765625	37	59.7109375
⋮	⋮	38	59.7031250

圖 4-17 真值表

最後探討 2 階 sigma-delta 的操作原理，使用一階 sigma-delta 三角波為基礎在不改變調變除數的平均值之下，將每一階的調變除數由原先的固定值拆散為更細的亂數值，使展頻時脈的能量分布更加平均，達到最佳的 EMI 抑制效果，如下圖透過多一組累加器與暫存器，以產生 2 階 sigma-delta 操作所需要之”虛擬亂數訊號”。然而 2 階的 sigma-delta 的操作輸出訊號有 3 組因此需要設計解碼器以供給 MMD 使用，進行內插運算。

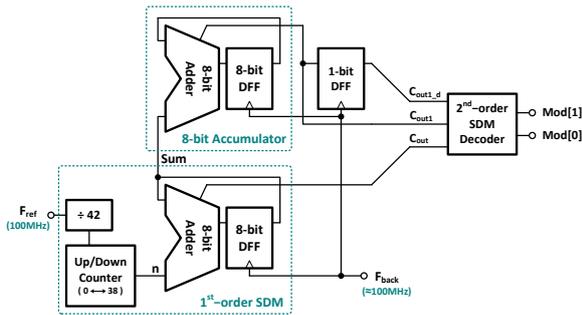


圖 4-18 2 階 sigma-delta 電路

Cout	Cout1	Cout1_d	Formula	Modulus	Mod[0]	Mod[1]
0	0	0	+0,+0,+0	60	0	1
0	0	1	+0,+0,-2	58	1	0
0	1	0	+0,+2,+0	62	1	1
0	1	1	+0,+2,-2	60	0	1
1	0	0	-2,+0,+0	58	1	0
1	0	1	-2,+0,-2	56	0	0
1	1	0	-2,+2,+0	60	0	1
1	1	1	-2,+2,-2	58	1	0

圖 4-19 透過真值表來設計解碼電路

5. 結語與展望

此專題完成了 SATA III 的設計與模擬，同時對 VCO 及高速類比除頻器進行了佈局。

不同製程下 kvco 曲線模擬

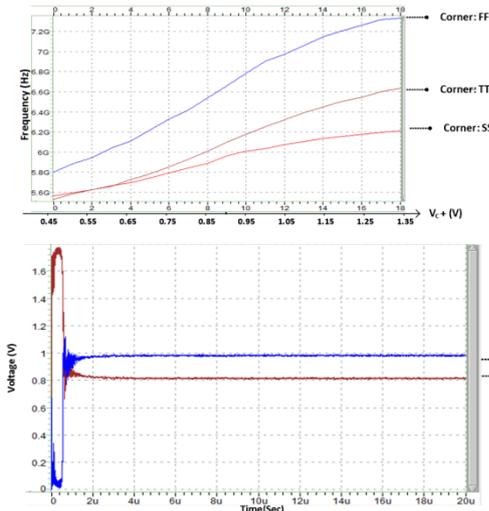


圖 5-1 開啟展頻前之控制訊號(Vctrl) 由圖 5-1 可以看出鎖相迴路呈現鎖定的情形。

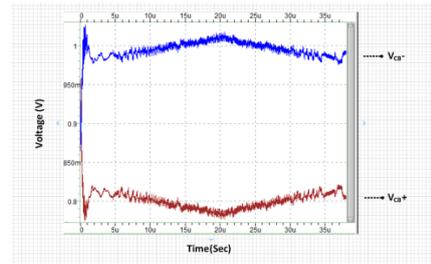


圖 5-2 開啟展頻後之控制訊號

呈現三角波型的變化，此時讀者可能會有疑問，為何控制訊號如此殘破，原因在於 sigma-delta modulator 運作是採用內插方式進行運算其產生的除數為虛擬除數，因此鎖相迴路是在 2 個不同的除數間持續進行追鎖。

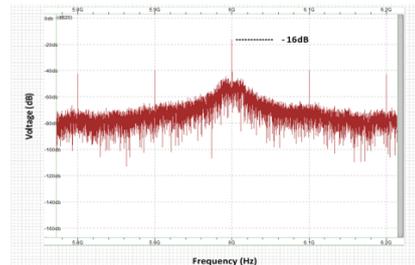


圖 5-3 開啟展頻前之頻譜

由圖看出能量集中在 6G 為 -16db

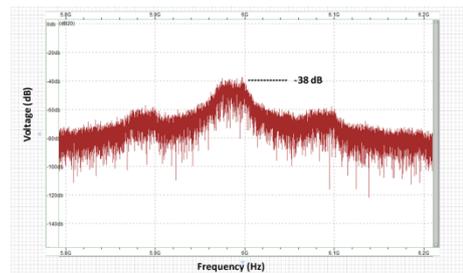


圖 5-4 開啟展頻後之頻譜

由圖可看出能量被分散至 5.97 至 6G 之間，最高能量為 -38db 已超過 SATA 的規格 7db

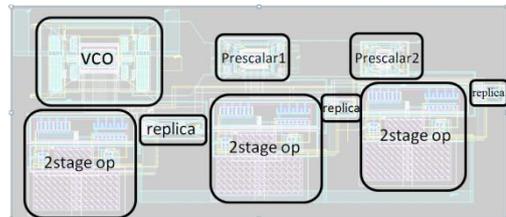


圖 5-5 Vco 與 prescalar 之佈局

	JSSC[9]	TCAS-I[11]	TCAS-II[37]	This Work
Year	2011	2013	2014	-
Technology (nm)	90	90	90	180
Supply Voltage (V)	1	1.2	1	1.8
EMI reduction (dB)	16.12	12.5	43	22
Modulation Method	Phase Interpolation	Self Oscillating	Dual-tone +RM	$\Delta\Sigma$
Modulation Frequency (KHz)	32.9	31.5	30	31.3
Operating Frequency (GHz)	6	6	6	6
Power Dissipation (mW)	27.7	14.4	15.8	17.889
FOM _{power}	16.6	7.2	9.48	2.77

$$FOM_{power} = \frac{Power (mW)}{Freq (GHz) \times Tech (nm) \times \frac{V_{DD} (V)}{1.5}}$$

最後是 performance 的部分與其他篇論文相比因使用製程補償方案因此功耗下降許多，同時 EMI 的抑制效果也有達到 22db

在專題的最後我希望未來可以完成 SATA 展頻時脈的晶片，並且完成高速 buffer 的設計期望在未來晶片量測能順利的量測到高频訊號，並同時製作高速 PCB 版，完成整個 IC 設計的程序。

6. 銘謝

感謝這一年來，所有學長與老師的陪伴。必須承認大三這一年因為專題製作讓我認識了黃老師，我人生中認識最重要的老師，他改變了我對很多事物的看法，同時也讓我在學習上可以有新的想法，新的突破在思考很多事物上都會有嶄新的想法，謝謝這一年所有陪伴我走過這段路的人，由衷感謝。

7. 參考文獻

- Hong-Yi Huang Member, Zhu-Xun Yang, "Low-Power 6-Gbit/s Spread Spectrum Clock Generator With Process Compensation Scheme"
- M. Kokubo, T. Kawamoto, T. Oshima, T. Noto, M. Suzuki, S. Suzuki, T. Hayasaka, T. Takahashi, J. Kasai, "Spread-Spectrum

Clock Generator for Serial ATA Using Fractional PLL Controlled by $\Delta\Sigma$ Modulator with Level Shifter," in *IEEE Int. Solid-State Circuit Conf. Dig. Tech. Papers*,
 ● B. Razavi, "Design of Integrated Circuits for Optical Communications," 1ST ED., McGraw-Hill, 2003.