國立臺北大學電機工程學系
103 學年度學生專題製作計畫書

具製程補償方案的低功耗六十億赫茲展頻時脈產生器

Low-Power 6-GBit/s Spread Spectrum Clock Generator

With Process Compensation Scheme

學號：410187025　　姓名：余道承

410187006　　林修華

410187018　　陳漢庭

指導老師：黃弘一　老師

中　華　民　國　１０３　年　１１　月　２８　日

壹、計畫摘要

以原著之論文為基礎，進行各電路之模擬與設計，透過模擬觀察，熟悉並且深入了解其操作及原理後，創新思考，以期融會貫通之餘尚能有自我想法之啟發，使設計之電路更上層樓。首先，對各個子電路做深入的探討，包含電路的操作、特性、限制、優點、缺點及參數的設計。再者，將各級電路合併為一完整之大電路，模擬觀察高頻的展頻時脈產生器的功能，其中包含鎖相迴路、製程補償和展頻調變三大部分。在鎖相迴路的部分，比較各型式鎖項迴路的優缺點，以找出論文中使用此種鎖相迴路的原因。在此專題中，將特別專注於展頻調變的技術，對其做更深入與透徹的研究。此外，對於 VCO 及 Prescalar 的製程補償和低功耗之先進技術，也將做深入的了解。在完成電路設計後，最後將進行佈局的工作。

貳、背景及目的

時脈產生器，是一種在各式不同的電路系統當中，最常被使用的電子元件之一。隨著電子技術的不斷進步，時脈產生器的操作頻率亦得到了提升，造就了許多高頻電子產品的問世。然而，在頻率不斷提升的同時，一個不能被忽略的問題卻隨之產生：電磁干擾(Electromagnetic Interference)。當電路操作在固定且準確的頻率時，其能量將集中於此頻率之下，導致電磁波的出現，進而干擾到週邊電路的操作。

透過展頻調變(Spread Spectrum Modulation)技術，可使訊號的能量不再集中於特定的頻率之下，而是平均的分佈於所規劃的頻帶之中，如此可降低單一頻率下的能量，並達到抑制電磁干擾(EMI Reduction)的效果。像這樣具備了展頻調變機制的時脈產生器，便稱為「展頻時脈產生器(Spread Spectrum Clock Generator)」。

在這所有產品都開往「低功耗」這條大道路的時代，SSCG 的設計卻面臨了極大的挑戰。一般來說，操作在相對低頻的 SSCG，可利用全數位化的設計架構，使其面積與功耗得到降低。但在相對高頻的 SSCG 設計中，絕大多數的設計都是利用了先進製程所帶來的優勢，將電路實現於先進製程中來降低功耗。在 SSCG 的設計技術上，卻很少有從電路架構的突破上，使帶來的功耗減低。

論文中，作者提出，造成高頻 SSCG 的功耗規格難以突破的主要原因，是製程誤差對電壓控制振盪器所造成的頻率偏移。而製程誤差本身亦會使高速除頻器的功耗大幅增加。所以，造成高頻 SSCG 的功耗規格始終無法有效突破的主要原因，其實就是製程誤差本身。因此，本專題的目標之一，便是根據論文作者所述，設計出「可對製程誤差進行補償，並使 SSCG 功耗有效降低」的電路架構。

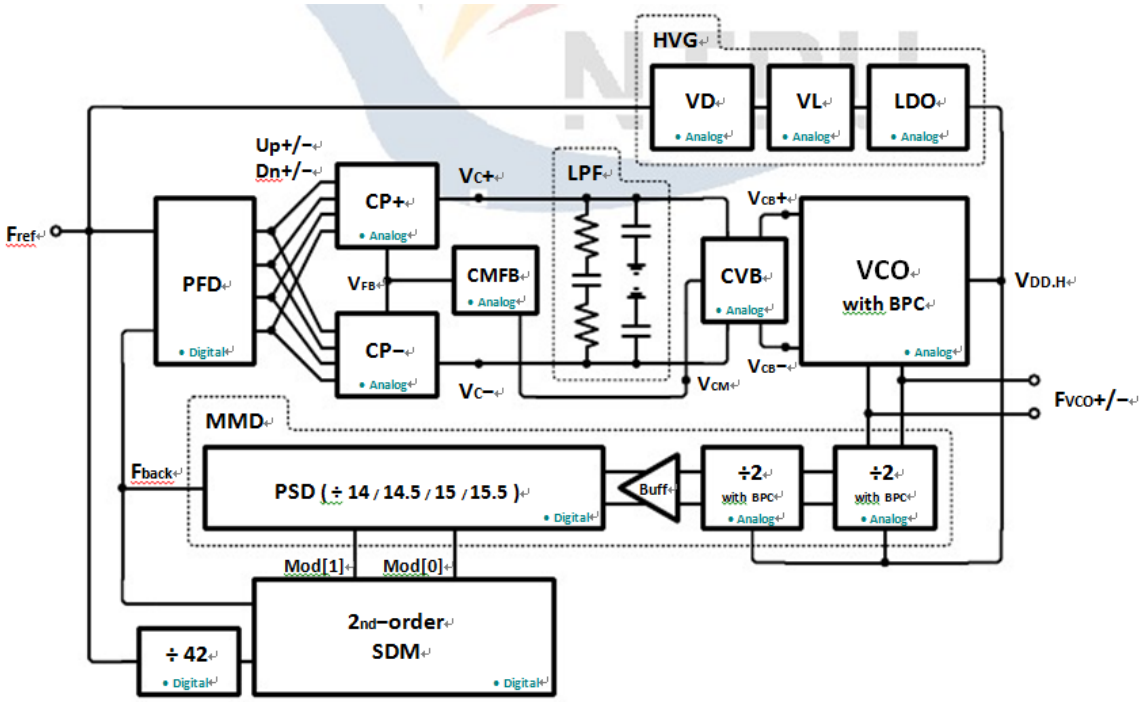
在展頻調變部分，理論上，使用亂數波調變能夠達到最佳的 EMI 抑制效果，但卻造成面積與功耗的增加。因此，目前仍是以三角波調變的 Sigma−Delta 調變來實現 SSCG。SSCG 中，若以傳統的除頻器架構實現二階 Sigma−Delta 調變，會造成電路的面積與功耗增加。因此，希望能研究出合適的除頻器架構，在不增加電路面積與功耗的條件下，實現出二階 Sigma−Delta 調變的 SSCG。一種稱為「相位切換除頻器的(Phase

Switch Divider)」的新型除頻器被用來實現二階的 Sigma−Delta 調變。然而，相位切換除頻器雖能在不增加面積與功耗的情形下實現二階 Sigma−Delta 調變，但其無法滿足 SATA III 的規格。因此，本專題的第二個目標是對相位切換除頻器進行改良，使其能滿足 SATA III 的規格，並以之實現三角波的二階 Sigma−Delta 調變」，期望讓 SSCG 達到接近亂數波調變的 EMI 抑制效果。

本專題的基本目標有以下：

一、減小補償製程誤差對電壓控制振盪器所造成的頻率偏移，並使展頻時脈產生器的功耗規格得以降低。

二、使用三角波的二階 Sigma−Delta 調變來實現 SSCG 的展頻操作，期望達到與亂數波調變相近的 EMI 抑制效果。



參、研究方法及進行步驟

在正式進入專題製作前，於暑假進行與積體電路設計相關之基礎訓練，包含基本 Hspice 模擬、Virtuoso Layout、PCB Layout，並親自完成電路板製作過程(Layout、洗版、焊接、量測)，以對積體電路設計中各領域有基本的認識。

正式進入專題製作後，首先，先對整體電路有概括性的了解，諸如功能、目前的發展、未來的展望。而後，進行各個子電路的 Hspice 模擬，透過模擬理解各子電路的操作情形，思考並吸收，且於每周 Group Meeting 時以簡報做口頭報告，同時可訓練上台報告、清楚解說的基本能力。在過程中查閱相關的參考論文，互相做比對，比較其優缺點與操作模式。

完成各子電路之模擬後，將各子電路連接、合併，完整的進行整體電路的設計，反覆進行模擬。完成整體電路後，便進入佈局與驗證(包含 DRC、LVS)階段，最後是晶片

下線。此外，在整個研究過程中，創新思考，加入新的想法，改良原本的電路，以獲得更完善、優質的展頻時脈產生器。

在製作專題同時須積極擴充積體電路設計的基本知識，例如類比積體電路設計課程、超大型積體電路設計課程、佈局技術課程，並累積實作經驗，於模擬電路中觀察現象並思考原因。

肆、儀器設備需求表

Hspice 模擬軟體、Virtuoso Layout 軟體、Calibre 軟體。

伍、預期完成之工作項目及具體成果

1. 完成電路之設計、佈局
2. 晶片下線
3. 培養獨立思考的能力
4. 具備積體電路設計的能力

陸、預定進度甘梯圖

日期	預定完成項目
2014 年 12 月 29 日至 2015 年 1 月 4 日	Prescalar VCO
2015 年 1 月 5 日至 1 月 11 日	準備期末考
2015 年 1 月 12 日至 1 月 18 日	期末考週
2015 年 1 月 19 日至 1 月 25 日	展頻技術
2015 年 1 月 26 日至 2 月 1 日	展頻技術
2015 年 2 月 2 日至 2 月 8 日	展頻技術
2015 年 2 月 9 日至 2 月 15 日	展頻技術
2015 年 2 月 16 日至 2 月 22 日	展頻技術
2015 年 2 月 23 日至 3 月 1 日	展頻技術
2015 年 3 月 2 日至 3 月 8 日	展頻技術
2015 年 3 月 9 日至 3 月 15 日	展頻技術
2015 年 3 月 16 日至 3 月 22 日	PSD
2015 年 3 月 23 日至 3 月 29 日	PSD
2015 年 3 月 30 日至 4 月 5 日	Prescalar (BPC 補償)
2015 年 4 月 6 日至 4 月 12 日	Prescalar (BPC 補償)
2015 年 4 月 13 日至 4 月 19 日	Prescalar (BPC 補償)
2015 年 4 月 20 日至 4 月 26 日	期中考週

2015 年 4 月 27 日至 5 月 3 日	Prescalar (BPC 補償)、VCO (BPC 補償)
2015 年 5 月 4 日至 5 月 10 日	VCO (BPC 補償)
2015 年 5 月 11 日至 5 月 17 日	VCO (BPC 補償)
2015 年 5 月 18 日至 5 月 24 日	VCO (BPC 補償)
2015 年 5 月 25 日至 5 月 31 日	High Voltage Generator、Low Pass Filter
2015 年 6 月 1 日至 6 月 7 日	High Voltage Generator、Low Pass Filter
2015 年 6 月 8 日至 6 月 14 日	Charge Pump
2015 年 6 月 15 日至 6 月 21 日	Phase Frequency Detector
2015 年 6 月 22 日至 6 月 28 日	期末考週
2015 年 6 月 29 日至 7 月 5 日	Layout
2015 年 7 月 6 日至 7 月 12 日	Layout
2015 年 7 月 13 日至 7 月 19 日	Layout
2015 年 7 月 20 日至 7 月 26 日	Layout
2015 年 7 月 26 日至 8 月 2 日	Layout
2015 年 8 月 3 日至 8 月 9 日	Layout
2015 年 8 月 10 日至 8 月 16 日	Layout
2015 年 8 月 17 日至 8 月 23 日	Layout
2015 年 8 月 24 日至 8 月 30 日	Layout

柒、參考文獻

[1] Zhu-Xun Yang, “Low-Power 6-GBit/s Spread Spectrum Clock Generator With Process Compensation Scheme,” 2014.

[2] B. Razavi, “Design of Analog CMOS Integrated Circuits,” 1ST ED., McGraw-Hill, 2001.

[3] B. Razavi, “RF Microelectronics,” 1ST Ed., Prentice Hall, 1998.

[4] S.-I. Liu and C.-Y. Yang , “A Phase Locking Loop,” *Tsang Hai,* 2006.

[5] IEEE之相關論文