



任意責任週期之同步映射延遲電路

指導老師：黃弘一 教授

專題生：陳信甫

摘要

在某些電路應用例如SDRAM，就是使用外部電路來改變記憶體內部的狀態。因為外部訊號進入到電路內部時，必須經過Input Buffer以及Output Driver來驅動晶片內的電路，兩者皆會造成延遲時間。當電路內部訊號跟外部訊號有著Input Buffer以及Output Driver所造成的Clock Skew時，會降低電路操作的效能，所以我們必須減低此Clock Skew，就有了同步映射延遲電路的應用，如下圖所示。

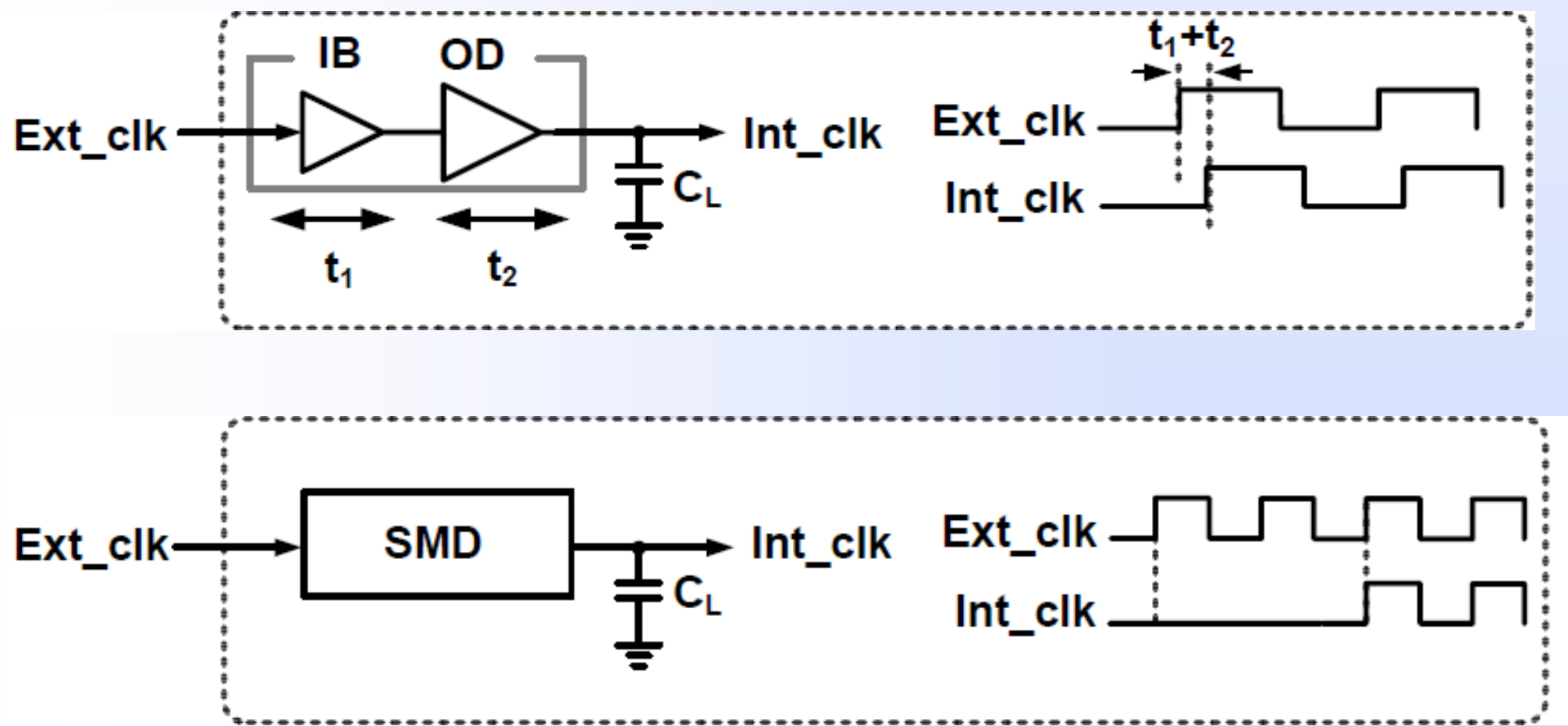


圖1 同步映射延遲電路之應用

傳統同步映射延遲電路架構分析

圖2為一傳統的同步映射延遲電路(Synchronous Mirror Delay Circuit)，圖中的延遲監控電路(Delay Monitor Circuit, DMC)用來補償Input Buffer和Output Driver所產生的延遲時間 t_1 和 t_2 ，再經過量測延遲電路(Measured Delay Line, MDL)、複製控制(Mirror Control Circuit, MCC)以及可調延遲電路(Variable Delay Line, VDL)的單位延遲元件所組成的延遲鏈之後如圖3。

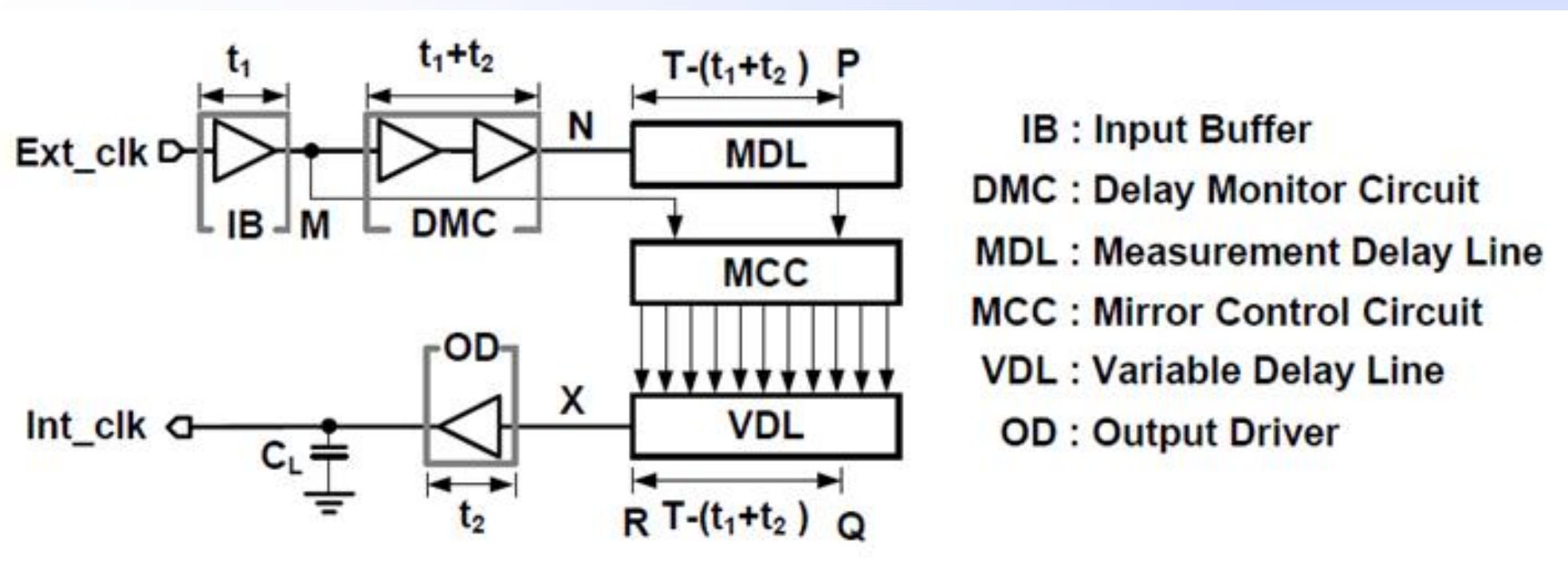


圖2 傳統同步映射延遲電路

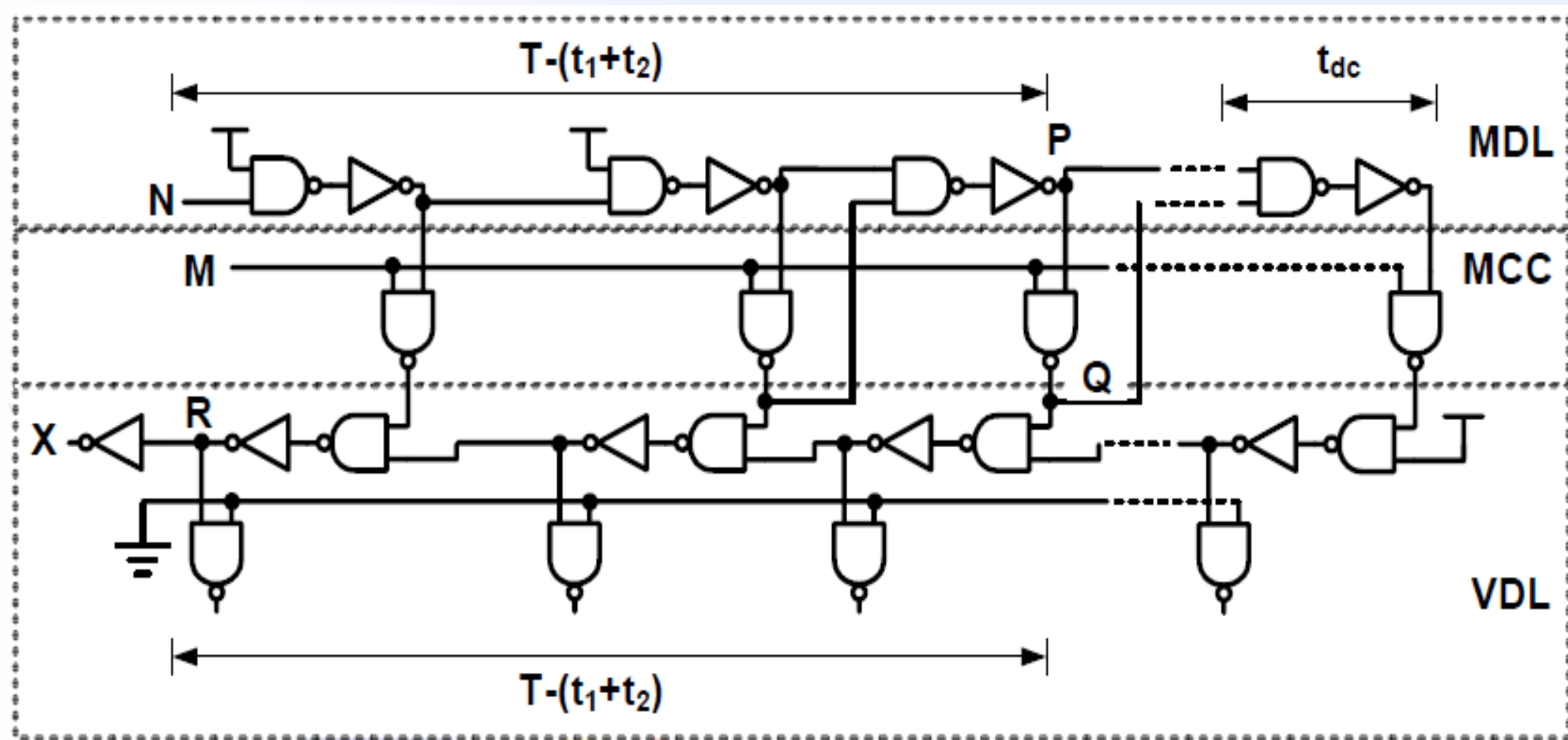


圖3 傳統同步映射延遲電路之延遲鏈

基本電路如下，假設輸入一個Ext_clk訊號週期為T，在Input Buffer (IB) 和Output Driver (OD) 各產生 t_1 和 t_2 延遲時間時，DMC就必須補償 t_1 和 t_2 延遲時間。當訊號N經過多個MDL延遲之後的訊號P，在MCC中的NAND閘正好和訊號M的第二個週期重疊，因此從N延遲到P需要時間 $T-(t_1+t_2)$ ，並產生一個與訊號P完全相反的訊號Q，如圖。之後此訊號會在VDL中也走相同的延遲路徑長度 $T-(t_1+t_2)$ 。如此一來，整體電路輸入訊號抵達輸出時的延遲時間就為 $t_1+(t_1+t_2)+T-(t_1+t_2)+T-(t_1+t_2)+t_2=2T$ ，也就是在兩個週期之後，輸入和輸出訊號就會同步，如圖4的波形圖。

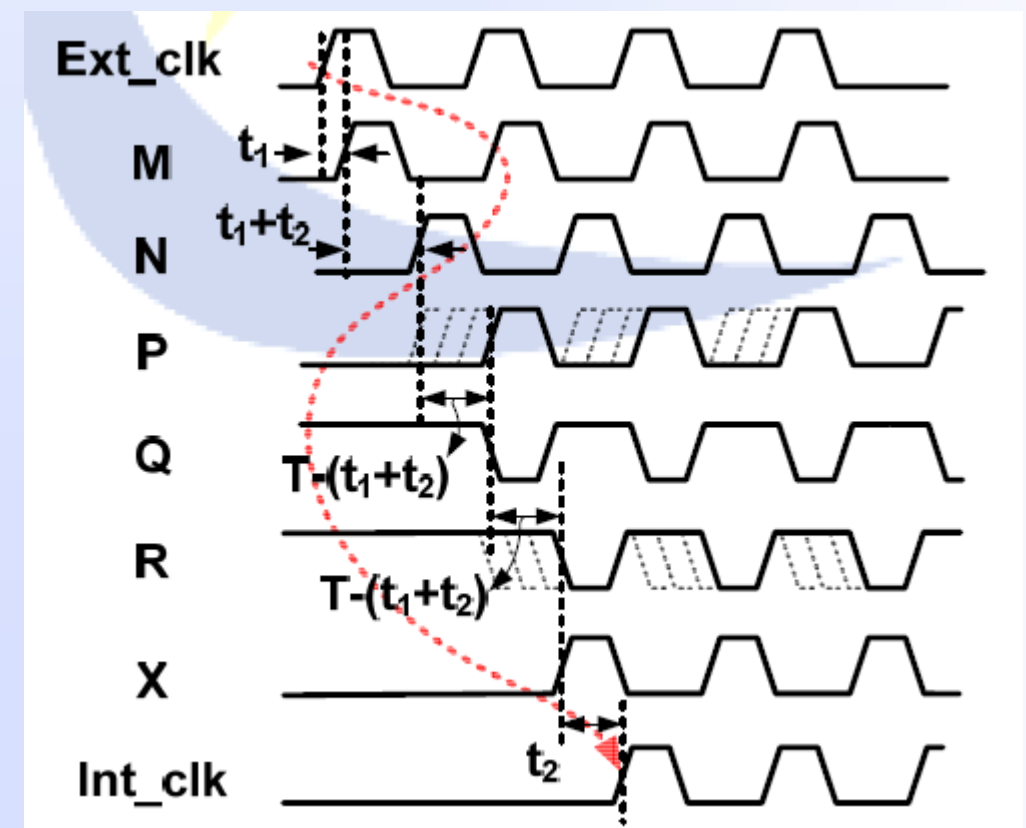


圖4 電路操作波形圖

任意責任週期之同步映射延遲電路

前述的同步映射延遲電路解決了相位誤差過大以及負載改變的問題，但是為了將同步映射延遲電路更廣泛的應用，任意責任週期同步映射延遲電路(Arbitrary Duty Cycle Synchronous Mirror Delay Circuit Design)被提出如圖5。因為改良了複製控制電路(MCC)，使用了TSPC的DFF取代原先電路中的NAND閘，藉由每個經由MDL延遲之後的訊號上升邊緣來偵測相位。因此即使輸入訊號之責任週期大於50%，電路仍可以正常操作。

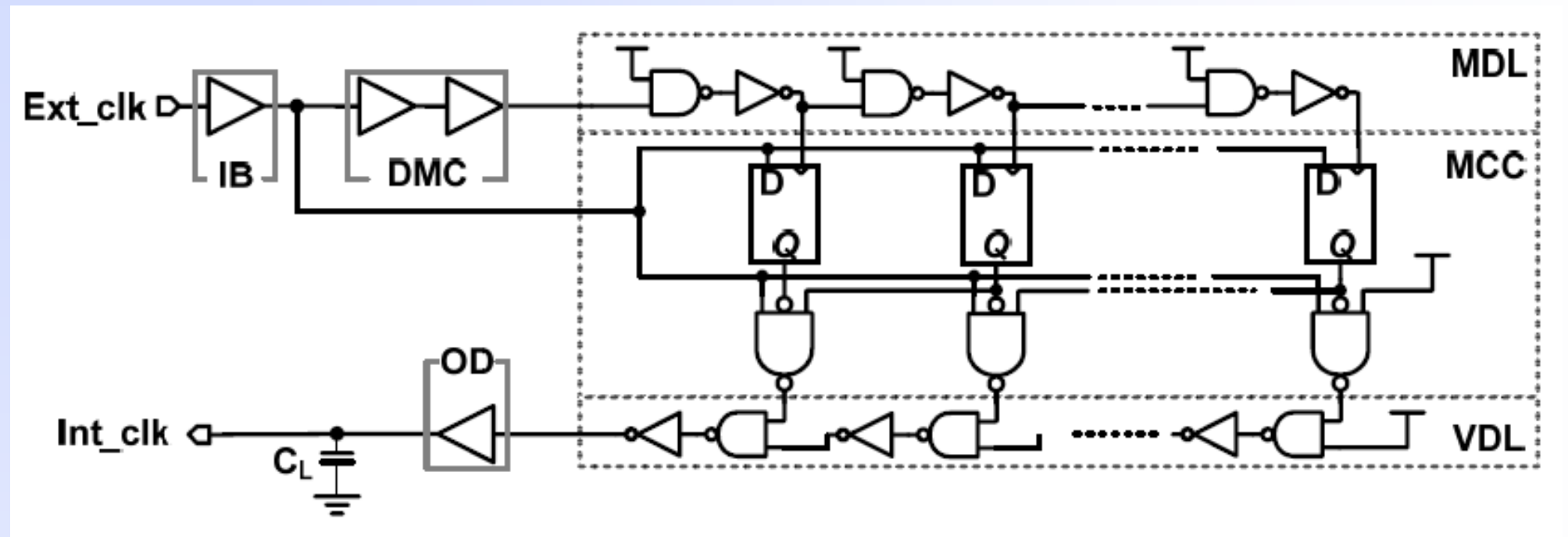


圖5 任意責任週期同步映射延遲電路

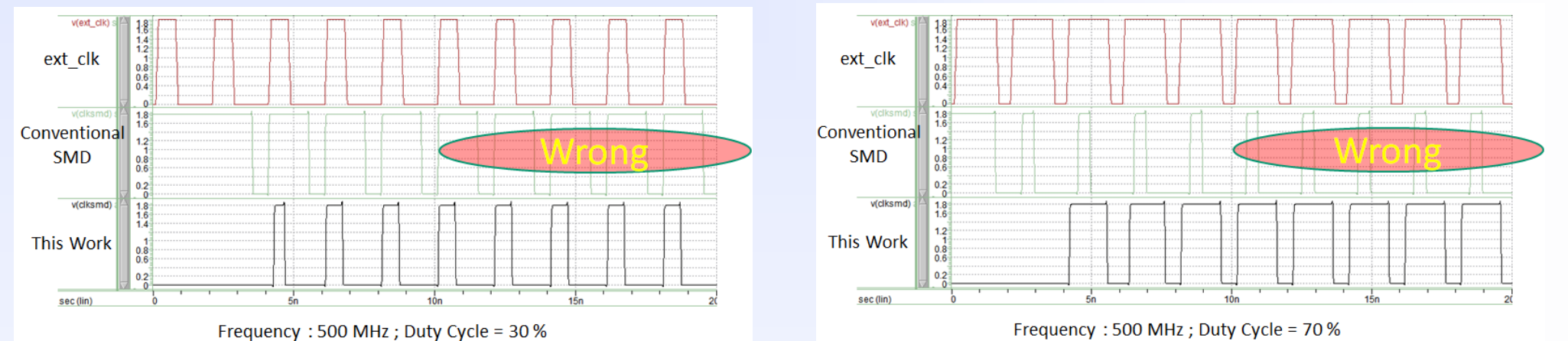


圖6 與傳統同步映射延遲電路之模擬結果比較

Performance Summary	
Process	TSMC 0.18 μ m 1P6M CMOS
Supply Voltage	1.8 V
Operating Frequency Range	450 ~ 750 MHz
Duty Cycle Range	20% ~ 80%
Number of Delay Cells	20
Lock Time	2 cycle time