

國立臺北大學電機工程學系
103 學年度學生專題製作計畫書

鎖相迴路與時脈資料回復電路

Phase Locked Loop

&

Clock Data Recovery Circuit

組員：

學號：410185009

姓名：蔡尚甫

指導老師：黃宏一 老師

中 華 民 國 1 0 3 年 1 0 月 2 6 日

壹、計畫摘要

本專題目的為鎖相迴路和時脈回復電路的電路設計及藉由模擬軟體來確定其工作正常。專題過程先了解鎖相迴路和時脈回復電路的工作原理，完成各個子電路，並了解各個子電路的工作目的及之間的相互關係，設計時針對每一個子電路模擬並修改其到期望的輸出，最後在全電路模擬觀察其結果是否為期望輸出結果。

貳、背景及目的

鎖相迴路(Phase Locked Loop ,PLL)的整體架構是希望藉由低頻且穩定的參考頻率為基準，經由閉迴路控制系統的回授作用，使可改變頻率的元件產生高速且穩定頻率，電路鎖定時可以將此穩定的高速頻率給其他外部電路使用。

而時脈回復電路(Clock Data Recovery, CDR)為鎖相迴路延伸，主要應用於高速傳輸的收發機系統並在系統裡扮演了一個重要的角色。此種高速收發機可以應用在許多的通訊系統裡，比如光纖通訊和 SATA 等等。在此通訊系統中，通常接收端接受到的資料都是非同步的，並且受到了雜訊干擾使得資料失真，所以在接收端中的時脈資料回復電路必須從資料中萃取出時脈的資訊，並利用此資訊將輸入的資料作時脈重置的動作，以便可以減少錯誤率。

參、研究方法及進行步驟

- 1.先了解鎖相迴路和時脈回復電路的整體架構。
- 2.對各個子電路了解其操做原理及應該對應之結果。
- 3.對子電路中的各個元件其扮演腳色和相互之間的關係做分析，並設計出適當的尺寸，使得結果是我期望的。
- 4.全電路模擬，並修改錯誤，直到有正確結果。

肆、儀器設備需求表

電腦，模擬軟體-Hspice。

伍、預期完成之工作項目及具體成果

了解電路操作並成功模擬出各個電路其相對應知結果。

陸、預定進度甘梯圖

月 次	第 1 月	第 2 月	第 3 月	第 4 月	第 5 月	第 6 月	第 7 月	第 8 月	第 9 月	第 10 月
工作項目										
其他電路模擬	✓	✓	✓	✓	✓					
了解鎖相迴路						✓				
相位頻率偵測器模擬						✓				
電荷幫浦模擬						✓				
壓控振盪器模擬							✓			
除頻器模擬							✓			
鎖相迴路全電路模擬							✓	✓		
了解時脈回復電路								✓	✓	
相位偵測器模擬								✓	✓	
亂數訊號產生器模擬								✓	✓	
時脈回復電路全電路模擬									✓	✓
進度累計百分比(%)						20	30	50	70	100

柒、參考文獻

- [1] S.-I. Liu and C.-Y. Yang , "A Phase Locking Loop," *Tsang Hai*, 2006.
- [2] B. Razavi, "Design of Integrated Circuits for Optical Communications," 1ST ED., *McGraw-Hill*, 2003.
- [3] Z.-X. Yang, "Low-power 6-gbit/S Spread Spectrum Clock Generator With Process Compensation Scheme "
- [4] S.-I. Liu and C.-Y. Yang , "A Phase Locking Loop," *Tsang Hai*, 2006.
- [5] I.-A. Young, J.-K. Greason, J.-E. Smith, and K.-L.Wong, "A PLL Clock Generator with 5 to 110-MHz of Lock Range for Microprocessors," in *IEEE Int. Solid-State Circuit Conf. Dig. Tech. Papers*, pp. 50-51, 1992.
- [6] 魏進元 , "一個多頻帶且快速鎖定時脈資料回復電路"