



鎖相迴路與時脈資料回復電路

指導老師：黃弘一 教授

專題生：蔡尚甫

一、前言

鎖相迴路(Phase Locked Loop, PLL)的整體架構是希望藉由低頻且穩定的參考頻率為基準，經由閉迴路控制系統的回授作用，使可改變頻率的元件產生高速且穩定頻率，電路鎖定時可以將此穩定的高速頻率給其他外部電路使用。

而時脈回復電路(Clock Data Recovery, CDR)為鎖相迴路延伸，主要應用於高速傳輸的收發機系統並在系統裡扮演了一個重要的角色。通訊系統中，通常接收端接受到的資料都是非同步的，並且受到了雜訊干擾使得資料失真，所以在接收端中的時脈資料回復電路必須從資料中萃取出時脈的資訊，並利用此資訊將輸入的資料作時脈重置的動作，以便可以減少錯誤率。

二、鎖相迴路

鎖相迴路之架構如圖1所示，由五個子電路所組成。其分別為：相位頻率偵測器(Phase Frequency Detector, PFD)、電荷幫浦(Charge Pump, CP)、低通濾波器(Low Pass Filter, LPF)、壓控振盪器(Voltage Controlled Oscillator, VCO)及除頻器(Frequency Divider, FD)。相位頻率偵測器為比較參考訊號及壓控震盪器產生的訊號之差異，將其比較之結果產生出四數位訊號輸出。電荷幫浦則是依據相位頻率偵測器所產生的四數位訊號轉換為一個控制電壓並將其輸出。低通濾波器作用則是將控制電壓之高频雜訊過濾，且低通濾波器的設計關係到全電路的系統穩定度及穩定時間。壓控振盪器則是依據控制電壓產生出一振盪頻率。除頻器則是因為參考頻率和壓控振盪器產生出來的振盪頻率不同，所以需要它來調降振盪頻率並回授至相位頻率偵測器以和參考頻率比較。

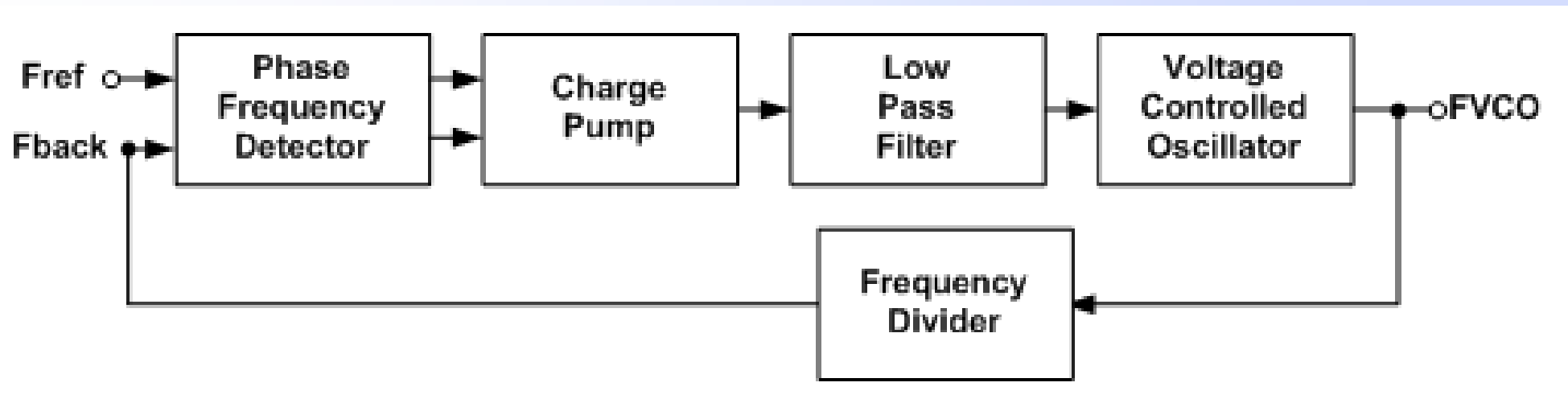


圖1 鎖相迴路全電路方塊圖

三、鎖相迴路架構說明

1. 相位頻率偵測器(PFD)

PFD之主要功能為偵測參考訊號(Fref)與壓控振盪器產生之震盪訊號經由除頻器的低頻訊號(Fback)之相位差，並轉換成四數位Up+/-與Dn+/- 輸出訊號，其中Up+與Up-為反向訊號，Dn+與Dn-亦為反向訊號。
2. 電荷幫浦(CP)

CP依據PFD產生的Up+/-與Dn+/-產生相對應的控制電壓(Vc)。
3. 低通濾波器(LPF)

CP除了產生一輸出訊號Vc，還有交流成分，然而其中高频之部分將會使系統不穩定，因此在鎖相迴路中使用低通濾波器來過濾高频雜訊輸出訊號VC中之高频成分。
4. 壓控振盪器(VCO)

VCO是由CP產生的控制電壓(VC)之大小控制其輸出頻率，圖2的壓控振盪器是以環狀的連接方式，以奇數個反相器組成，利用重複邏輯1和邏輯0的轉換，達到振盪的頻率。

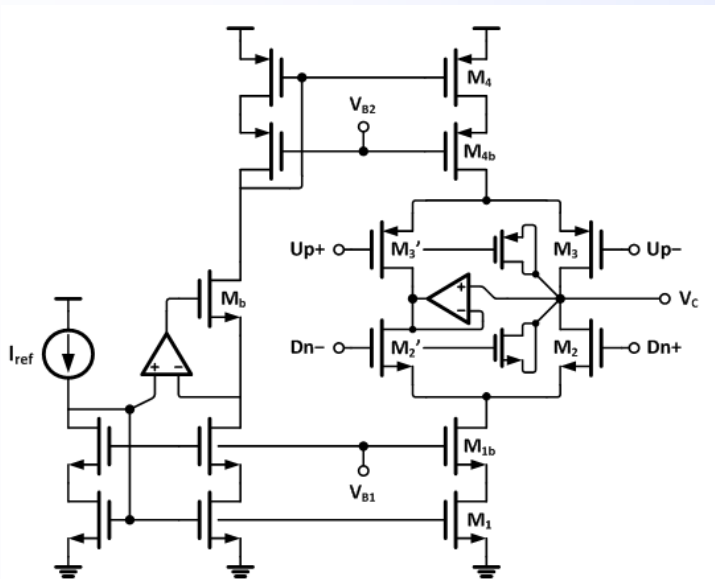


圖2 電荷幫浦

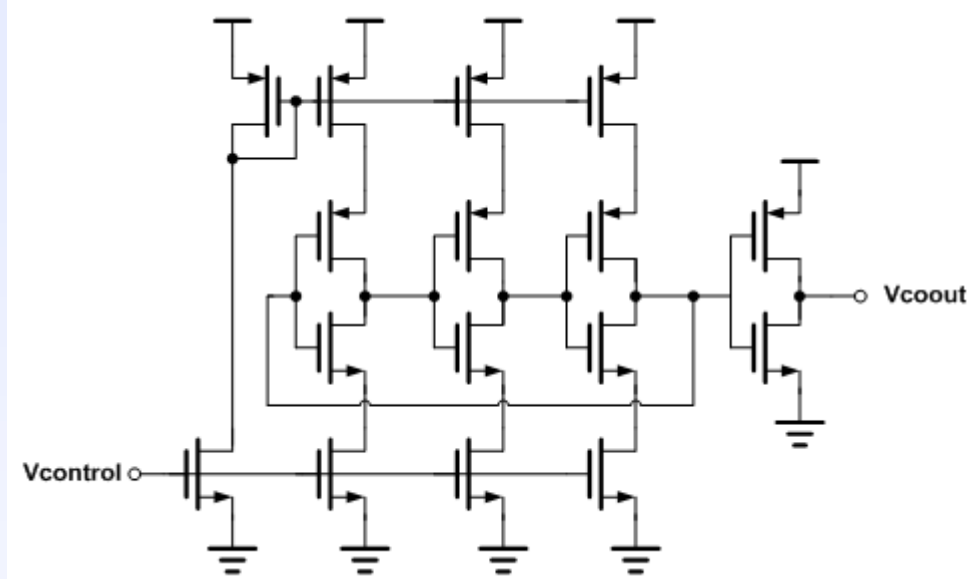


圖3 壓控振盪器

5. 除頻器(FD)

震盪器的頻率比參考頻率快，所以需要有除頻器，讓高频的震盪頻率下降才可和參考頻率作比較。

圖4為可以除2或除3的除頻器，藉由mc1的輸入為0或1來控制要除的數，當mc1為0，Fout1為CLK除3，而mc1為1，Fout1為CLK除2。

圖5則是除5或除6的除頻器，控制mc2的輸入為0或1來控制要除5或除6，其中除2或除3的電路為圖4的電路，當mc2為0，Fout1為CLK除5，而mc2為1，Fout1為CLK除6。

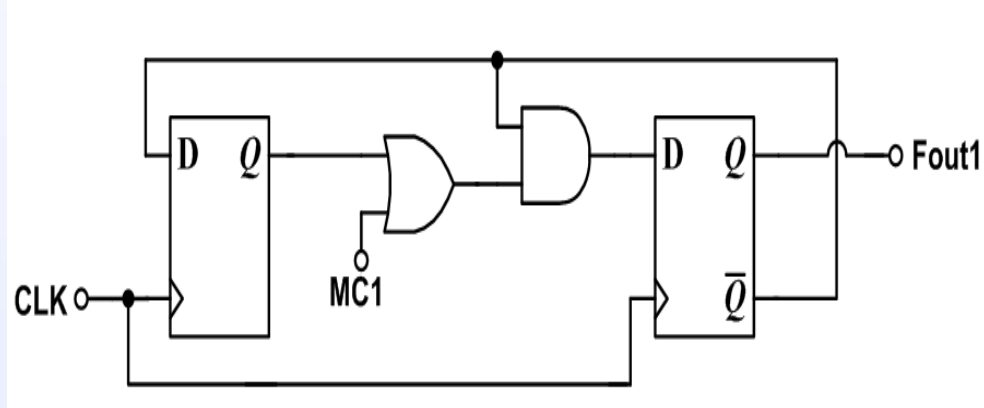


圖4 除2/除3除頻器

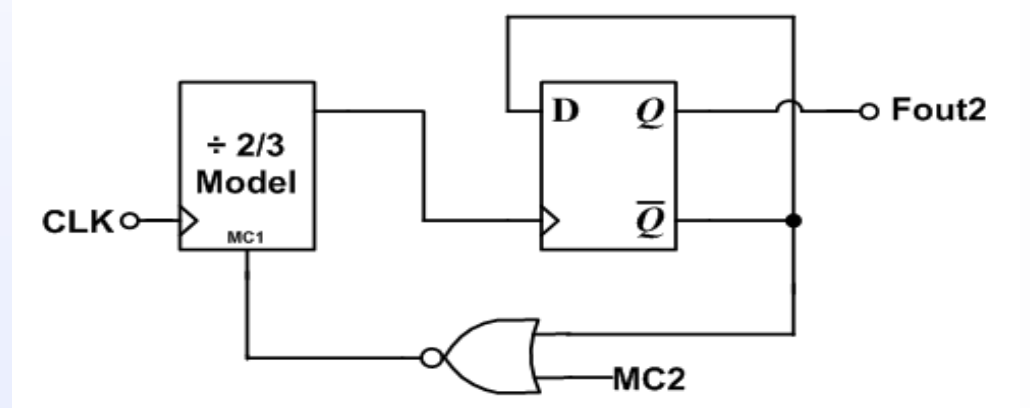


圖5 除5/除6除頻器

5. 鎖相迴路全電路模擬

圖6為鎖相迴路全電路模擬的vcontrol訊號，可以看到當整個電路穩定時，vcontrol為定值。

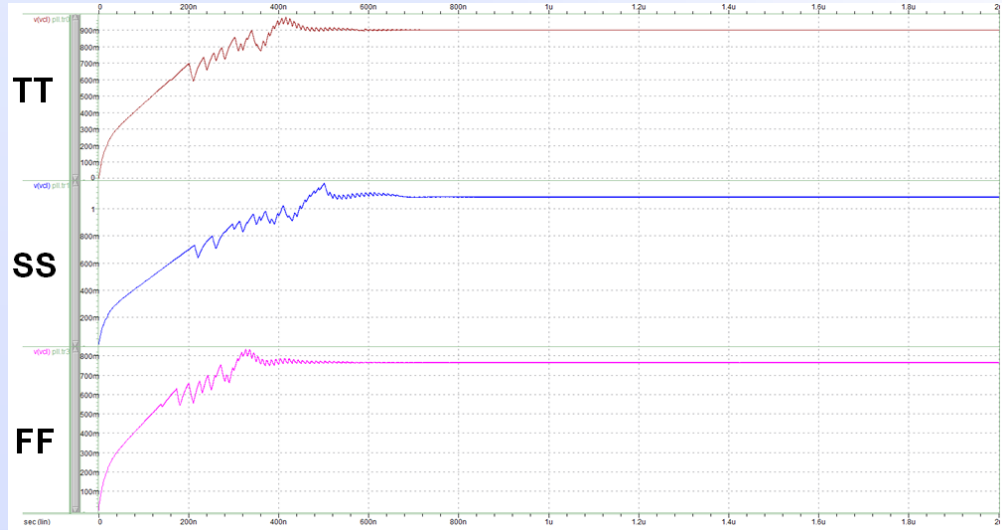


圖6 鎖相迴路全電路模擬的vcontrol訊號

四、時脈回復電路

資料在傳輸的過程會受到雜訊的干擾而失真，所以需要時脈回復電路抓到資料的頻率，而決策電路會依據此頻率作資料還原的動作，如圖7，而時脈回復電路和鎖相迴路不同在於時脈回復電路，所以輸入訊號為不歸零式(non return to zero)訊號如圖8的上面，沒有固定的頻率，而是固定的傳位元數，所以無法用PLL的PFD偵測比較訊號，所以需要使用不同的相位偵測器。

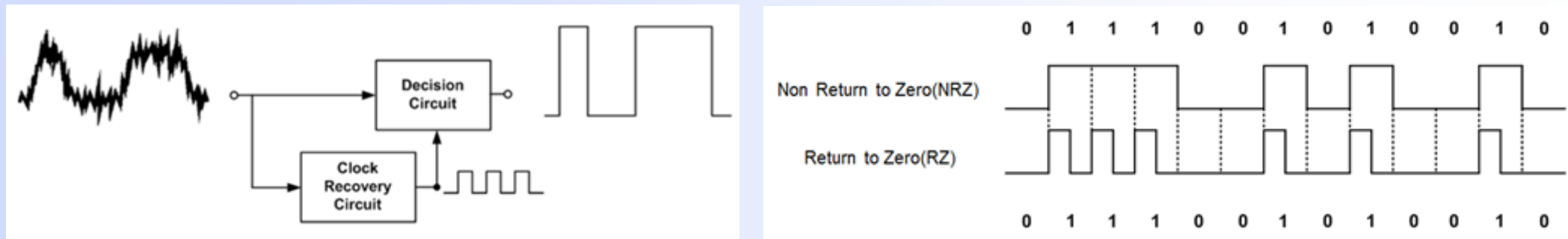


圖7 時脈回復電路操作示意圖

圖8 輸入訊號形式

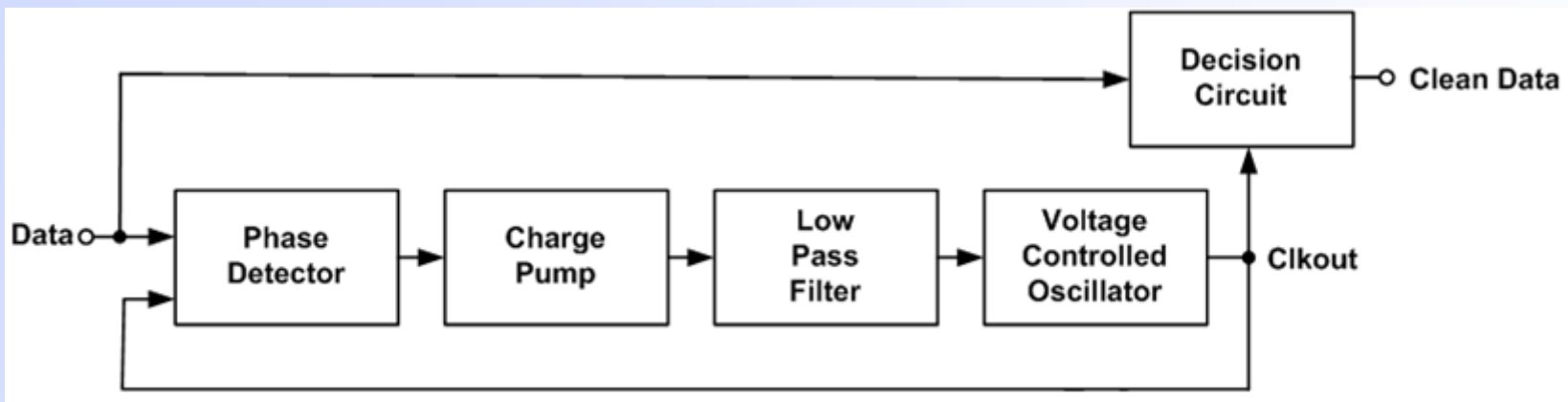


圖9 時脈回復電路全電路方塊圖

五、時脈回復電路架構說明

1. 相位偵測器(PD)

NRZ資料缺少資料邊緣，所以之前PLL的PFD無法比較像為誤差，所以在作相位偵測前，要先把資料轉態點找出來，因此把NRZ資料和資料本身的延遲訊號作XOR，就可以把資料的邊緣偵測出來，使用D型正反器作訊號延遲，當D型正反器訊號發生在CLK的訊號邊緣，所以D型正反器訊號的相位就為CLK的相位。

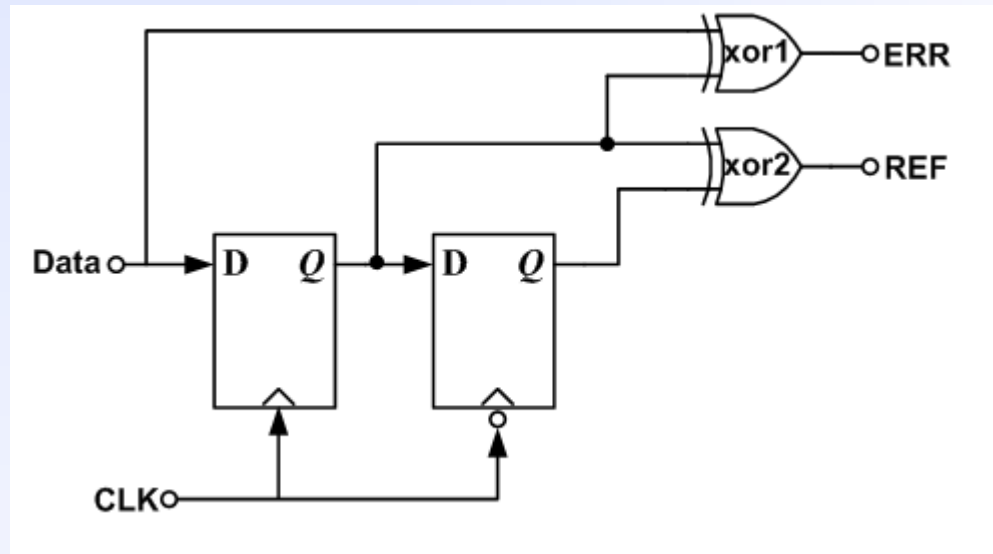


圖10 相位偵測器

2. 時脈回復電路全電路模擬

圖11為CDR全電路模擬的vcontrol訊號，當整個電路穩定時，vcontrol為定值。

圖12上面為輸入有損失的資料，下面為經過CDR還原的資料。

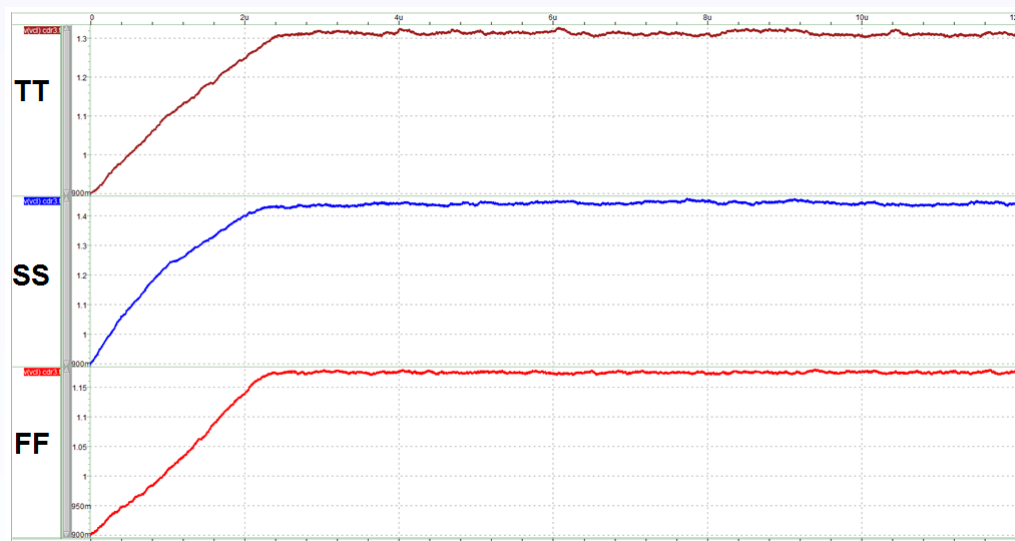


圖11 時脈回復電路全電路模擬的vcontrol訊號

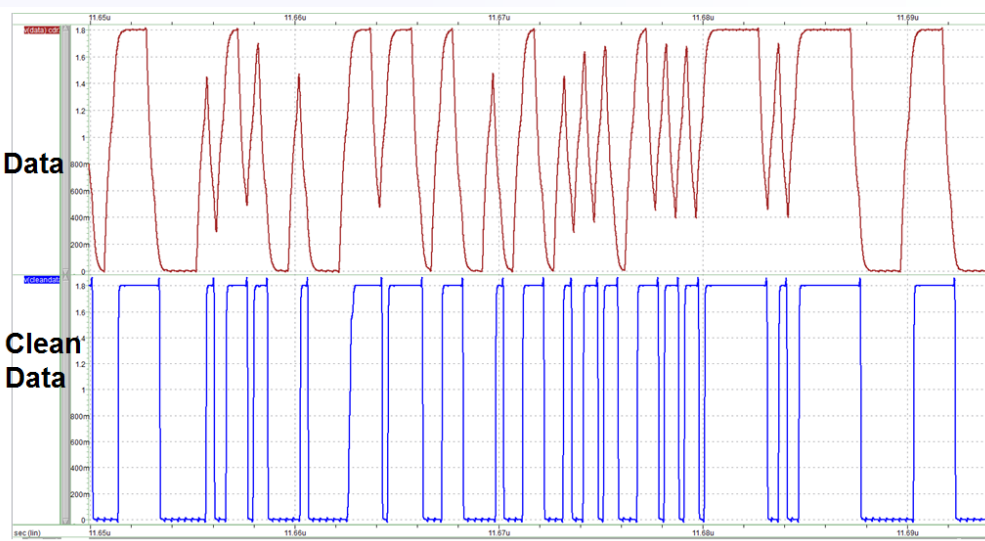


圖12 輸入訊號與還原訊號