

國立臺北大學電機工程學系
104 學年度學生專題製作計畫書

具製成補償方案的低功耗六十億赫茲展頻時脈產生器

**Low-power 6 GBIT/s Spread spectrum clock generator
with process compensation scheme**

組員：

學號：410287040

姓名：李易宸

指導老師：郭岳芳 老師

中 華 民 國 1 0 4 年 1 1 月 1 1 日

壹、計畫摘要

計畫在這一年專題課中，能夠完成自己訂定的目標，目標為完成鎖向迴路與展頻時脈產生器。

貳、背景及目的

在這科技不斷進步的時代中，產品追求越低功耗、高頻率的目標，然而隨者操作頻率的不斷上升，電磁干擾所造成的負面效應越趨嚴重，於是展頻時脈技術隨之問世，成為了廣泛運用在各類電子產品當中，解決電磁干擾的主要方法之一。

參、研究方法及進行步驟

1. 目標為完成展頻時脈產生器，其中包括 PFD、CP、LPF、VCO、prescaler、MMD、SDM。
2. 因實驗室提供 spice 之模擬，於是我利用模擬了解電路之操作原理，使用模擬軟體也可以知道晶片在各種情形下的狀態，專題之最終目標為下晶片外加測試成功，前提是整個設計完後進行 LAYOUT、通過 PRE-SIM、POST-SIM 後才能下晶片。
3. 可能遇到的問題為怕電路進行設計時所未遇到的效應，或是 LAYOUT 上面很不清楚，之後做到那部份時會盡量去請教老師與學長學習解決方法。

肆、儀器設備需求表

電腦一台，軟體需求：hspice、waveview，cscope，visio
，電源供應器，示波器，頻譜分析儀。

伍、預期完成之工作項目及具體成果

1. 上學期之內完成展頻時脈之大部分，下學期繼續完成鎖向迴路，最好能之後下晶片。
2. 使用新架構完成低功耗、高效能之產頻時脈產生器
3. 本專題為個人研究並無分組。

陸、預定進度甘梯圖

請視計畫性質及需求自行訂定。

月次	第 1 月	第 2 月	第 3 月	第 4 月	第 5 月	第 6 月	第 7 月	第 8 月	第 9 月	第 10 月	第 11 月	第 12 月
資料及文獻收集	✓	✓	✓								✓	✓
資料及文獻統整	✓	✓	✓								✓	✓
子電路設計模擬	✓	✓	✓	✓	✓	✓	✓			✓	✓	✓
layout						✓	✓	✓	✓	✓		
下晶片						✓	✓	✓	✓	✓		
進度累計百分比(%)	30	40	50	60	70	80	90	95	100	1	10	20

柒、參考文獻

- [1]B.Razavim”RF microelectronics,”1ST ED.,Prentice Hall,1998.
- [2]S.I.Liu and C.-Y.Yang,”A phase Locking Loop”Tsang Hai,2006.
- [3]B.Razavi,”Design of Analog CMOS Integrated Circuits,”1st ED.,McGraw-Hill,2001.
- [4] B.Razavi,”Design of Integrated Circuits for Optical Communications,”1st ED.,McGraw-Hill,2001.