

國立臺北大學電機工程學系  
104 學年度學生專題製作計畫書

具製程、電壓、溫度補償方案的低功耗六十億赫茲展頻  
時脈產生器

Low-Power 6G Bit Spread Spectrum Clock Generator  
With Process Compensation Scheme

組員：

學號：410287002 姓名：廖宏博

指導老師：黃弘一 老師

中 華 民 國 1 0 4 年 1 1 月 1 6 日

## 壹、計畫摘要

主要將目標設定為在不減低任何規格前提下，研發出製程、電壓、溫度的補償技術，進而設計出低功耗的展頻時脈產生器。

## 貳、背景及目的

電子設備不斷進步，晶片製程不斷提升的時代下，我們挑戰設計更低功耗、更高頻率的設計架構，然而頻率的提高會使得電磁波的干擾趨於嚴重，因此展頻的技術隨之問世，鎖向迴路的設計成為了重點。近年來由於提倡環保的概念，因此我們不再一味追求高頻的設計，節省面積降低功耗也成為我們努力的方向之一。

## 參、研究方法及進行步驟

1. 此專題的目標在於低功耗以及高頻的鎖相迴路與展頻時脈之設計，同時具備製程、電壓、溫度的補償方案。
2. 透過模擬軟體的模擬以及透過閱讀論文來尋找創新的架構或是最佳化的設計，使用模擬軟體可以知道晶片在各種變數下的狀態，同時也可以知道電路是否正常的操作以及達到我們想要的操作規格，最後設計完之後才會作 layout，而 presim 和 postsim 有通過的話，就會下晶片，再來晶片測試有通過的話，專題就是圓滿地完成了。
3. 有些模擬軟體沒考慮進去的因素例如一些電晶體電路上的寄生效應，使得晶片下來的時候結果不符合預期，因此在做晶片設計時必須做很縝密及有周全的考量，遇到問題尋求教授、學長協助，也需要上網蒐集資料來補足思考上的缺失。

## 肆、儀器設備需求表

電源供應器，示波器，頻譜分析儀(測晶片)，電腦，還有一些軟體包括 hspice, waveview, cscope, visio... 等等。

## 伍、預期完成之工作項目及具體成果

1. 大三上完成鎖相迴路設計，大三下至大三暑假結束前完成展頻時脈設計並下晶片。
2. 製造出低功耗高速度的晶片，包括鎖相迴路以及展頻時脈之設計。
3. 此專題為個人研究無分組。

## 陸、預定進度甘梯圖

請視計畫性質及需求自行訂定。

| 月次                  | 第<br>1<br>月 | 第<br>2<br>月 | 第<br>3<br>月 | 第<br>4<br>月 | 第<br>5<br>月 | 第<br>6<br>月 | 第<br>7<br>月 | 第<br>8<br>月 | 第<br>9<br>月 | 第<br>10<br>月 | 第<br>11<br>月 | 第<br>12<br>月 |
|---------------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|--------------|--------------|--------------|
| 工作項目                |             |             |             |             |             |             |             |             |             |              |              |              |
| 資料及文獻收集             | ✓           | ✓           | ✓           | ✓           | ✓           | ✓           |             |             |             |              |              |              |
| 統整資料及文獻             | ✓           | ✓           | ✓           | ✓           | ✓           | ✓           |             |             |             |              |              |              |
| 子電路設計模擬             |             | ✓           | ✓           | ✓           | ✓           | ✓           | ✓           | ✓           | ✓           | ✓            | ✓            |              |
| 創新子電路及子電<br>路設計模擬   |             |             |             |             |             | ✓           | ✓           | ✓           | ✓           |              |              |              |
| Layout 以及下晶片<br>及測試 |             |             |             |             |             |             |             | ✓           | ✓           | ✓            | ✓            | ✓            |
| 進度累計百分比(%)          | 2           | 10          | 20          | 25          | 30          | 45          | 55          | 65          | 75          | 85           | 95           | 100          |

柒、參考文獻之中外期刊、書籍按文中出現先後次序排列編號，需依次列

出作者、期刊名、卷冊數、年月等；文中引用時，一律用括號及號碼

#### 附在文中

- [1] B. Razavi, "RF microelectronics," 1<sup>st</sup> ED., Prentice Hall, 1998.
- [2] B. Razavi, "Design of Analog CMOS Integrated Circuits," 1<sup>st</sup> ED., McGraw-Hill, 2001.
- [3] B. Razavi, "Design of Integrated Circuits for Optical Communications," 1<sup>st</sup> ED., McGraw-Hill, 2003.
- [4] S.-I. Liu and C.-Y. Yang, "A phase Locking Loop" Tsang Hai, 2006.