

國立臺北大學電機工程學系

104 學年度學生專題製作計畫書

使用類比電路設計高速計數器，應用在鎖相迴路與展頻
時脈之設計(中文專題題目)

Low-power 6G bit spread spectrum clock generator
with process compensation scheme(英文題目)

組員：

學號：410287033 姓名：張勵揚

指導老師：黃弘一 老師

中 華 民 國 1 0 4 年 1 1 月 1 6 日

壹、計畫摘要

主要在於研究晶片低功耗的設計，同時可以達到最高速，目標是完成鎖相迴路以及展頻時脈之設計。

貳、背景及目的

電子設備不斷進步，晶片製程不斷提升的時代下，我們挑戰設計更低功耗更高頻率的設計架構，然而頻率的提高會使得電磁波的干擾趨於嚴重，因此展頻的技術隨之誕生，鎖相迴路的設計成為了重點。近年來因為提倡環保的概念，因此我們不在一味只追求高頻的設計，低功耗節省面積也成為我們努力的方向之一。

參、研究方法及進行步驟

1. 此專題的目標在於低功耗以及高頻的鎖相迴路與展頻時脈之設計，同時具備製成的補償方案((細述本專題總體目標、整體分工合作架構。
2. 透過模擬軟體的模擬以及透過閱讀論文來找到創新的架構或是最佳化的設計，使用模擬軟體可以知道晶片在各種情形下的狀態，同時也可以知道電路是否有正常的操作及達到我們想要的操作規格，最後設計完之後才會作 layout，如果 presim 和 postsim 有通過的話，就會去下晶片，如果晶片測試有通過的話，專題就是圓滿地完成了。((說明本專題採用之研究方法、原因與步驟。
3. 模擬軟體沒考慮進去的因素，使得晶片下來的時候結果不符合預期，因此在做晶片設計時必須做很縝密及周全的考量，遇到問題可以尋求學長協助，同時也可以上網蒐集資料來補足。((預計可能遭遇之困難及解決途徑。

肆、儀器設備需求表

電源供應器，示波器，頻譜分析儀(測晶片會用到)，電腦，還有一些軟體包括，hspice,waveview cscope,visio 等等((依專題需求製作。

伍、預期完成之工作項目及具體成果

1. 大三上完成鎖相迴路的設計，大三下至大三暑假結束前完成展頻時脈設計同時下晶片。
2. 製造出低功耗高速度的晶片，包括鎖相迴路以及展頻時脈之設計。
3. 本專題為個人研究並無分組。

陸、預定進度甘梯圖

請視計畫性質及需求自行訂定。

月次	第	第	第	第	第	第	第	第	第	第	第	第
	1	2	3	4	5	6	7	8	9	10	11	12
工作項目	月	月	月	月	月	月	月	月	月	月	月	月
資料及文獻收集	√	√	√	√	√							
統整資料及文獻	√	√	√	√	√	√						
子電路設計模擬	√	√	√	√	√	√	√	√	√	√	√	√
創新子電路及子電路					√	√	√	√	√			
Layout 以及下晶片								√	√	√	√	
進度累計百分比(%)	1	10	20	25	30	40	55	65	75	85	95	100

柒、參考文獻之中外期刊、書籍按文中出現先後次序排列編號，需依次列出作者、期刊名、卷冊數、年月等；文中引用時，一律用括號及號碼附在文中。

[1]B.Razavim"RF microelectronics,"1ST ED.,Prentice Hall,1998.

[2]S.I.Liu and C.-Y.Yang,"A phase Locking Loop"Tsang Hai,2006.

[3]B.Razavi,"Design of Analog CMOS Integrated Circuits,"1ST ED.,McGraw-Hill,2001.

[4] B.Razavi,"Design of Integrated Circuits for Optical Communications,"1ST ED.,McGraw-Hill,2001.